



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11145401 A**(43) Date of publication of application: **28 . 05 . 99**

(51) Int. Cl.

H01L 27/04
H01L 21/822
H01L 21/82
H01L 27/10
H01L 27/108
H01L 21/8242

(21) Application number: **09312251**(22) Date of filing: **13 . 11 . 97**(71) Applicant: **TOKIN CORP**(72) Inventor: **SETO KAZUHIRO**(54) **INTEGRATED SEMICONDUCTOR DEVICE**

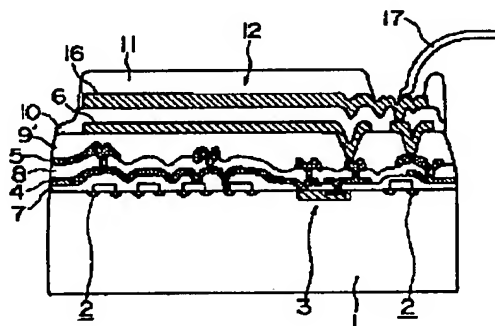
also planarized.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To provide an integrated semiconductor device which is extremely high in security whose analysis of the circuit structure is extremely hard in a small area capable of being manufactured at low cost.

SOLUTION: In an integrated semiconductor device, an electric capacity element 12 is formed on an upper part layer located at distant from a silicon substrate 1 through the intermediary of electric insulating layers 9', 10, so as to cover most of respective electric circuit elements (respectively MOS transistors 2 and a diode element 3) with the major parts of conductor layer 6, 16 (made of alumina thin films similar to the other conductor layers 4, 5), while the electric insulating layer 9' is planarized with any one material from among of an insulating resin, SiO_x , SiN_x and $\text{SiO}_x \text{N}_y$. On the other hand, an electric insulation protective layer 11 above the conductor layer 16 is formed as a uppermost layer. Furthermore, the electric insulation layer 10 below the conductor layer 16 (formed of SiO_2 thin film similar to the other electric insulating layers 7, 8) is



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-145401

(43)公開日 平成11年(1999) 5月28日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04
21/822
21/82
27/10
27/108

4 6 1

H 0 1 L 27/04 Z
27/10 4 6 1
21/82 Z
27/10 6 8 1 Z

審査請求 未請求 請求項の数 5 O L (全 4 頁) 最終頁に続く

(21)出願番号 特願平9-312251

(22)出願日 平成9年(1997)11月13日

(71)出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72)発明者 瀬戸 一弘

宮城県仙台市太白区郡山6丁目7番1号

株式会社トーキン内

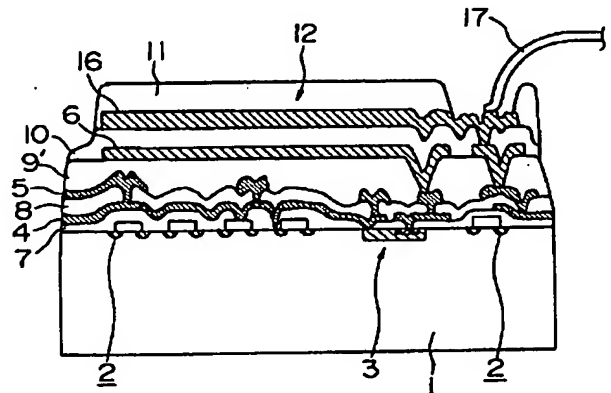
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 集積半導体装置

(57)【要約】

【課題】 小面積で低コストで製造可能であると共に、回路構造の解析が非常に困難な極めてセキュリティ性が高い集積半導体装置を提供すること。

【解決手段】 この集積半導体装置において、電気容量素子12は、導体層6、16(導体層4、5と同様にアルミ薄膜を用いている)の主な部分により各電気回路素子(各MOSトランジスタ2及びダイオード素子3)の大部分を覆い隠すように電気絶縁層9'、10を介してシリコン基板1上から隔たった上部層に形成されており、導体層6真下の電気絶縁層9'は絶縁樹脂又はSiO₂、SiN_x、及びSiO₂N_xのうちの何れか一つの材料により平坦化されており、導体層16真上の電気絶縁保護層11は最上部層として形成されている。尚、ここでは導体層16真下の電気絶縁層10(電気絶縁層7、8と同様にSiO₂薄膜を用いている)も平坦化されている。



【特許請求の範囲】

【請求項 1】 基板上に少なくとも一つの電気容量素子を含む複数の電気回路素子が形成された集積半導体装置において、前記電気容量素子は、導体層により前記複数の電気回路素子の大部分を覆い隠すように電気絶縁層を介して前記基板上から隔たった上部層に形成されており、前記電気絶縁層における前記電気容量素子下方の真下に位置されるものは平坦化されたことを特徴とする集積半導体装置。

【請求項 2】 請求項 1 記載の集積半導体装置において、前記電気絶縁層における前記電気容量素子下方の真下に位置されるものは絶縁樹脂を用いたものであることを特徴とする集積半導体装置。

【請求項 3】 請求項 1 記載の集積半導体装置において、前記電気絶縁層における前記電気容量素子下方の真下に位置されるものは SiO_2 、 SiN_x 、及び SiO_xN_y のうちの何れか一つの材料を用いたものであることを特徴とする集積半導体装置。

【請求項 4】 請求項 1～3 の何れか一つに記載の集積半導体装置において、前記電気容量素子上方の真上に最上部層として形成された電気絶縁保護層を含むことを特徴とする集積半導体装置。

【請求項 5】 請求項 4 記載の集積半導体装置を IC メモリ部及び前記複数の電気回路素子を含むセキュリティロジック回路から成るメモリ・ロジック回路部を有する非接触式 IC メモリカード内部用とし、該セキュリティロジック回路を前記電気容量素子で覆い隠して成ることを特徴とする非接触式 IC メモリカード内部用集積半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、主として少なくとも一つの電気容量素子を備えたと共に、セキュリティ性が重要視される集積半導体装置に関する。

【0002】

【従来の技術】 従来、この種の集積半導体装置としては、例えば図 3 の側面断面図に示すような構成のものが挙げられる。この集積半導体装置では、シリコン基板 1 上に形成された複数の MOS トランジスタ 2、ダイオード 3、及び電気容量素子 12 に導体層 4、5、6 がそれぞれ電気絶縁層 7、8、9、10 をこの順で介して重畳されると共に、電気絶縁層 7、8、9 のそれぞれ所定の位置に設けられたスルーホールを介して上下位置関係にある導体間が電気的に接続配線されている。又、導体層 6 の上部には電気容量素子 12 の電極端子取り出し用のボンディングワイヤ 17 が接続されており、各 MOS トランジスタ 2 及びダイオード 3 と同じ導体層 5 において電気容量素子 12 の電極が形成されている。このうち、電気絶縁層 7、8、9、10 には SiO_2 薄膜を用いており、電気容量素子 12 及び導体層 4、5、6 にはアル

ミ薄膜を用いている。

【0003】このような半導体集積装置の場合、トランジスタ形成工程時に同一層内で同時に形成を行うことが多くなっており、更に例えば IC カード内部の IC チップ等のセキュリティ性が重要視される用途で用いられる場合には周囲を樹脂で包含して摘出を困難にする等の対策が施されている。

【0004】

【発明が解決しようとする課題】 上述した半導体集積装置の場合、電気容量素子をトランジスタ形成工程時に同時に同一層内で形成する構成であるため、IC チップの面積微小化を阻害し、生産性低下によるコスト増が回避されないという問題がある。

【0005】又、上述した半導体集積装置の場合、セキュリティ性が重要視される用途で用いられるときに周囲を樹脂で包含して摘出を困難にする等の対策を施しているが、こうした構成では樹脂を開封する薬液を選定する等の方法で容易に摘出できる上、集積半導体装置の上方より素子回路構造を解析して偽造変造等の悪質な用途に使用される懸念があるため、セキュリティ性にも問題がある。

【0006】本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、小面積で低コストで製造可能であると共に、回路構造の解析が非常に困難な極めてセキュリティ性が高い集積半導体装置を提供することにある。

【0007】

【課題を解決するための手段】 本発明によれば、基板上に少なくとも一つの電気容量素子を含む複数の電気回路素子が形成された集積半導体装置において、電気容量素子は、導体層により複数の電気回路素子の大部分を覆い隠すように電気絶縁層を介して基板上から隔たった上部層に形成されており、電気絶縁層における電気容量素子下方の真下に位置されるものは平坦化された集積半導体装置が得られる。

【0008】この集積半導体装置において、電気絶縁層における電気容量素子下方の真下に位置されるものは絶縁樹脂又は SiO_2 、 SiN_x 、及び SiO_xN_y のうちの何れか一つの材料を用いたものであることは好ましい。

【0009】又、本発明によれば、上記何れか一つの集積半導体装置において、電気容量素子上方の真上に最上部層として形成された電気絶縁保護層を含む集積半導体装置が得られる。

【0010】更に、本発明によれば、上記集積半導体装置を IC メモリ部及び複数の電気回路素子を含むセキュリティロジック回路から成るメモリ・ロジック回路部を有する非接触式 IC メモリカード内部用とし、該セキュリティロジック回路を電気容量素子で覆い隠して成る非接触式 IC メモリカード内部用集積半導体装置が得られ

る。

【0011】

【発明の実施の形態】以下に実施例を挙げ、本発明の集積半導体装置について、図面を参照して詳細に説明する。

【0012】図1は、本発明の一実施例に係る集積半導体装置の基本構成を模式的に示した側面断面図である。この集積半導体装置では、シリコン基板1上に形成された複数のMOSトランジスタ2及びダイオード素子3に導体層4、5、6、16がそれぞれ電気絶縁層7、8、9、10をこの順で介して重畳されると共に、電気絶縁層7、8、9のそれぞれ所定の位置に設けられたスルーホールを介して上下位置関係にある導体間が電氣的に接続配線されており、導体層6、16の主な部分が各MOSトランジスタ2及びダイオード素子3の大部分を覆い隠すように電気容量素子12として形成されている。又、導体層6真下の電気絶縁層9は絶縁樹脂又は SiO_2 、 SiN_x 、及び SiO_xN_y のうちの何れか一つの材料を用いて平坦化処理が施されている。更に、導体層16真上に最上部層として電極端子取り出し用のボンディングワイヤ17のパッド部を開口していると共に、湿度の進入やハンドリング時の機械的応力等の保護のための電気絶縁保護層11が形成されている。尚、ここでは導体層16真下の電気絶縁層10も平坦化されている。

【0013】このうち、電気絶縁層7、8、10には SiO_2 薄膜を用いており、電気絶縁保護層11には SiN 薄膜を用いており、導体層4、5、6、16にはアルミ薄膜を用いている。

【0014】即ち、この集積半導体装置において、電気容量素子12は、導体層6、16の主な部分により各電気回路素子（各MOSトランジスタ2及びダイオード素子3）の大部分を覆い隠すように電気絶縁層9、10を介してシリコン基板1上から隔たった上部層に形成されており、導体層6真下の電気絶縁層9は絶縁樹脂や上述した SiO_2 、 SiN_x 、及び SiO_xN_y のうちの何れか一つの材料により平坦化されており、導体層16真上の電気絶縁保護層11は最上部層として形成されている。

【0015】因みに、電気絶縁層9に絶縁樹脂として例えばポリイミド樹脂を用いた場合には、スピンコート法によりポリイミド樹脂を塗布して下地の凹凸を平坦化処理すれば良く、 SiO_2 、 SiN_x 、及び SiO_xN_y のうちの何れか一つを用いた場合には、 SiO_2 膜を形成後、CMPと呼ばれる高精度薄膜研磨法により平坦化処理を施せば良い。

【0016】図3に示した従来装置ではトランジスタ素子と同じ導体層5において電気容量素子の電極が形成されており、構造的に面積当たりの集積度が低くなり、同寸法径のウエハ当たりの製品数が少なく、生産性低下に

より製造コストが高くなっていたが、この半導体集積装置の場合にはこうした点が改良されて生産性向上して小面積で低コストで製造可能となる。

【0017】又、従来装置の場合、構造的に顕微鏡等を用いて観察される下地の凹凸や色彩より回路構成並びにセキュリティ方法等を解析して偽造変造等の悪質な用途に使用される懸念があったが、この半導体集積装置の場合には平坦化された電気絶縁層9上に形成された電気容量素子12（導体層6、16の主な部分）が各電気回路素子（各MOSトランジスタ2及びダイオード素子3）の大部分を覆い隠しているため、表面形状及び色彩等から回路構成の解析を行うことが極めて困難になっており、しかも電気絶縁層9上方に電気容量素子12を形成することで高精度に電気容量値を得ることが容易になっているため、特性的なばらつきが少ない高精度な製品が得られる。

【0018】尚、上述した各層の材料はあくまでも代表例であり、限定されない。例えば導体層4、5、6、16の材質としてアルミを用いるものとしたが、必要に応じた量の不純物を含むシリコンを用いたり、銅、金、鉄を用いても良いし、或いは種々合金等の如何なるものであっても範疇となる。

【0019】図2は、集積半導体装置が適用される非接触ICメモ리카ード内部の電気回路図を簡略化して示したものである。この電気回路は上述した集積半導体装置をICメモリ部及び各電気回路素子を含むセキュリティロジック回路から成るメモリ・ロジック回路部15を有する非接触式ICメモ리카ード内部用として適用したもので、セキュリティロジック回路を上述した電気容量素子12（導体層6、16の主な部分）で覆い隠している。

【0020】具体的に云えば、この電気回路は、コイル13、電気容量コンデンサ14、及びメモリ・ロジック回路部15から構成され、点線枠で示す電気容量コンデンサ14及びメモリ・ロジック回路部15が集積化されている。高いセキュリティが要求されるメモリ・ロジック回路部15は、各MOSトランジスタ2、ダイオード3、及びそれらの配線構造で構成され、電気容量素子12がこれらの要部であるセキュリティロジック回路を覆い隠すようになっている。

【0021】

【発明の効果】以上に説明したように、本発明の集積半導体装置よれば、電気容量素子を導体層により複数の電気回路素子の大部分を覆い隠すように電気絶縁層を介して基板上から隔たった上部層に形成し、電気絶縁層における電気容量素子下方の真下に位置されるものを平坦化して高精度に電気容量値を得られるようにしているのので、小面積で低コストで生産性良く簡単に製造可能となり、しかも回路構造の解析が非常に困難な極めてセキュリティ性が高い高精度な製品（特性のばらつきが少な

い)を具現できるようになる。この結果、特に内部回路のセキュリティ性を非常に高い構造とできるため、例えばICカード等の変造偽造の不正使用防止等にも大きく寄与することができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る集積半導体装置の基本構成を模式的に示した側面断面図である。

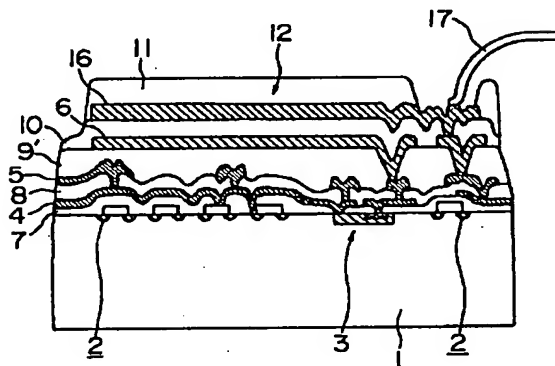
【図2】図1に示す集積半導体装置が適用される非接触ICメモリカード内部の電気回路図を簡略化して示したものである。

【図3】従来の集積半導体装置の基本構成を模式的に示した側面断面図である。

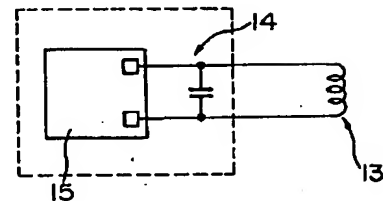
【符号の説明】

- 1 シリコン基板
- 2 MOSトランジスタ
- 3 ダイオード素子
- 4, 5, 6, 16 導体層
- 7, 8, 9, 9', 10 電気絶縁層
- 11 電気絶縁保護層
- 12 電気容量素子
- 13 コイル
- 14 電気容量コンデンサ
- 15 メモリ・ロジック回路部
- 17 ボンディングワイヤ

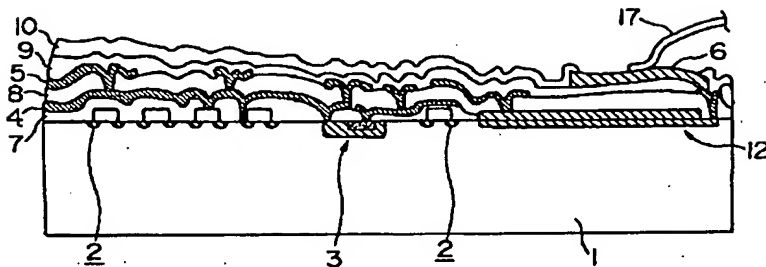
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H O 1 L 21/8242